

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-003544

(43)Date of publication of application : 08.01.1992

(51)Int.Cl.

H04L 12/28
H04L 12/66

(21)Application number : 02-105585

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 19.04.1990

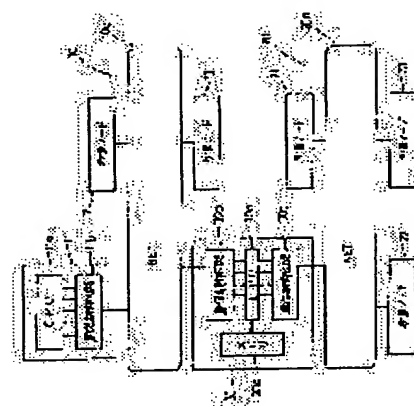
(72)Inventor : OTAKA KUNIO
HASHIMOTO KYOSUKE

(54) MULTIPLEX TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To attain efficient data transmission by storing a transmission data being a transmission object to a gateway node tentatively when a receiver side network is busy and data transmission is in congestion and informing it to a sender side network when the data is not able to be stored.

CONSTITUTION: A transmission control section 30 consists of a CPU 30a for multiplex transmission control, communication control circuits 30b, 30c and a save memory 30d or the like. The CPU 30a discriminates whether or not a data signal in a gateway is in existence in the save memory 30d for each prescribed time and discriminates the operating state of a network 20 to discriminate whether or not data transmission is available. When the data transmission is disabled, the sent data signal is tentatively stored in the save memory 30d and when the data transmission is enabled, the data is written in a network buffer. When the storage capacity of the save memory 30d is occupied, it is informed to the network 10. Thus, efficient data transmission is implemented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

Best Available Copy

⑫ 公開特許公報 (A) 平4-3544

⑬ Int. Cl.⁵

H 04 L 12/28
12/66

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月8日

7928-5K
7830-5K

H 04 L 11/00
11/20

3 1 0 Z
B

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 多重伝送方式

⑯ 特 願 平2-105585

⑰ 出 願 平2(1990)4月19日

⑱ 発 明 者 尾 高 邦 雄 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

⑲ 発 明 者 橋 本 恭 介 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

⑳ 出 願 人 古河電気工業株式会社 東京都千代田区丸の内2丁目6番1号

\r\n㉑ 代 理 人 弁理士 長門 侃二

明 細 書

1. 発明の名称

多重伝送方式

2. 特許請求の範囲

(1) 共通の信号伝送路を介して相互に接続された少なくとも2つの多重ノードと、当該各多重ノードが接続された少なくとも2つの系統の信号伝送路と、該信号伝送路にそれぞれ接続され前記各信号伝送路間での信号伝送を行う伝送制御手段とを備え、当該各多重ノードはいずれかの多重ノードの送信要求に応じて所定の送信データを送信する多重伝送方式において、前記伝送制御手段は一の系統の前記信号伝送路から送信された送信データを記憶する記憶手段を設け、他の系統の前記信号伝送路への前記送信データの送信が可能かどうか判断し、送信が不可能な際には前記記憶手段に当該送信データを記憶し、該記憶された送信データの送信が可能になると当該送信データを前記信号伝送路へ送信すると共に、前記記憶手段による送信データの記憶が可能かどうか判断し、記憶できな

い状態の際には前記一の系統の前記信号伝送路に当該状態を知らせることを特徴とする多重伝送方式。

(2) 前記伝送制御手段は所定間隔ごと前記記憶手段に送信データが記憶されているかどうか判断し、記憶されている際には前記他の系統の信号伝送路への前記記憶された送信データの送信が可能かどうか判断し、当該判断結果に応じて該送信データの送信を行うことを特徴とする請求項1記載の多重伝送方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、複数のネットワークに接続された多重ノード間で、データの伝送を行う多重伝送方式に関する。

(従来技術)

従来、この種の多重伝送方式には、電子処理制御を行うマイクロプロセッサ (CPU) に、多重通信ネットワークの伝送制御を行う多重伝送制御用 IC、送受信用のバッファ及びインターフェー

ス等からなる通信制御回路を付加して多重ノードとし、複数の上記多重ノードをツイストペア電線等からなる共通の信号伝送路（データバス）で相互に接続してバス型の多重通信ネットワークを構成すると共に、上記構成で種々の応答性を持つ（例えば伝送速度が異なる）多重通信ネットワークを、CPUによるゲートウェイ機能を有する伝送制御部（ゲートウェイノード）で接続して多重伝送を行うものがあった。

（発明が解決しようとする課題）

ところが、上記伝送方式では、一方のネットワークからの送信データを他のネットワークに送信する際、受信側ネットワークが使用中でデータ伝送が混み合っている場合には、ゲートウェイノードは、上記受信側ネットワークに送信データを送信できず、送信側ネットワークでは上記送信データが受信側ネットワークに送信できるまで、定期的に上記送信データを送信しなければならず、そのたびに送信側ネットワークが使用状態となってデータ伝送が混み合い、他の送信データの送信

（例えば、送信側のネットワーク内でのデータ伝送）に支障をきたすという問題点があった。

本発明は、上記問題点に鑑みなされたものであって、受信側ネットワークが使用中でデータ伝送が混み合っている場合には、送信対象となる送信データを一時ゲートウェイノードに蓄え、蓄えきれない状態が発生した場合には、送信側ネットワークにこの状態を知らせ、送信側のネットワークでのデータ伝送に支障をきたすことなく、効率的にデータ伝送を行うことができる多重伝送方式を提供することを目的とする。

（課題を解決するための手段）

上記目的を達成するために、本発明では、共通の信号伝送路を介して相互に接続された少なくとも2つの多重ノードと、当該各多重ノードが接続された少なくとも2つの系統の信号伝送路と、該信号伝送路にそれぞれ接続され前記各信号伝送路間での信号伝送を行う伝送制御手段とを備え、当該各多重ノードはいずれかの多重ノードの送信要求に応じて所定の送信データを送信する多重伝送

方式において、前記伝送制御手段は一の系統の前記信号伝送路から送信された送信データを記憶する記憶手段を設け、他の系統の前記信号伝送路への前記送信データの送信が可能かどうか判断し、送信が不可能な際には前記記憶手段に当該送信データを記憶し、該記憶された送信データの送信が可能になると当該送信データを前記信号伝送路へ送信すると共に、前記記憶手段による送信データの記憶が可能かどうか判断し、記憶できない状態の際には前記一の系統の前記信号伝送路に当該状態を知らせる多重伝送方式が提供される。

（作用）

伝送制御手段は、他の系統の信号伝送路（受信側信号伝送路）への送信データの送信が不可能な際には、上記送信データを一時記憶しておき、データ送信が可能になると上記記憶されている送信データを受信側信号伝送路に送信している。

従って、各多重ノードは、送信データを伝送制御手段に何度も送る手間が省け、また記憶手段の記憶容量がオーバーしている場合には、その旨を

一の系統の信号伝送路（送信側信号伝送路）に知らせることができ、ゲートウェイ機能に依存しない伝送制御方法に移行するように促すこともできる。

（実施例）

以下、本発明の実施例を第1図乃至第4図の図面に基づき詳細に説明する。

第1図は、本発明に係る多重伝送方式の構成を示す構成ブロック図である。図において、各多重ノード11～13、21～23は、応答性（例えば伝送速度）が異なるものの、同一の構成ブロックになっているので、ここでは説明の都合上代表して多重ノード11の構成を説明する。

多重ノード11では、電子処理制御を行うCPU11aに、多重通信ネットワークの伝送制御を行う多重伝送制御用IC、送受信用のバッファ及びインターフェース等からなる通信制御回路11bを付加してなる。

各多重ノード11～13のCPUは、それぞれ同じ応答性（例えばデータ伝送速度が高速の応答

性)を持ち、各通信制御回路を介してそれぞれ共通の多重伝送路(データバス)10aで接続されてネットワーク10を構成しており、各通信制御回路では送信の際には上記バッファにCPUからのデータを書き込み、書き込みが終了するとバッファのデータをインターフェースを介してデータバス10aに送出しており、また受信の際にはインターフェースを介してデータバス10aから入力するデータを上記バッファに書き込み、書き込みが終了するとバッファのデータをCPUに送出している。

各多重ノード21~23のCPUは、それぞれ同じ応答性(例えば多重ノード11~15のCPUのデータ伝送速度よりは低速の応答性)を持ち、各通信制御回路を介してそれぞれ共通のデータバス20aで接続されてネットワーク20を構成しており、各通信制御回路では多重ノード11~13の通信制御回路と同様に、CPU及びデータバス20aとデータ信号の送受を行っている。

データバス10a、20aは、それぞれ100

Kbps以上、数10Kbpsの伝送速度のツイストペア電線等からなるデータバスで、多重ノード11~13、21~23は上記データバス10a、20aを介してデータフレームやACK信号等の信号を伝送している。

伝送制御部(ゲートウェイノード)30は、多重伝送制御用のCPU30aに、通信制御回路30b、30cと、待避用メモリ30d等を付加してなっている。通信制御回路30b、30cは、それぞれ制御用IC、ネットワークとデータ信号の送受信を行う各ネットワーク用バッファ及びインターフェース等からなり、送信の際には上記バッファにCPU30aからのデータを書き込み、書き込みが終了するとバッファのデータをインターフェースを介してネットワーク10、20に送出しており、また受信の際にはインターフェースを介してネットワーク10、20から入力するデータを上記バッファに書き込み、書き込みが終了するとバッファのデータをCPU30aに送出して、ネットワーク10、20とのデータ信号の送受信を行う。

CPU30aは、通信制御回路30b、30cを介してそれぞれネットワーク10、20と接続され、データバス10a、20aから各多重ノードごとに取り込まれてネットワーク用バッファに格納されているデータを、他方のネットワークに送信可能かどうか判断しており、他方のネットワークがデータ伝送に使用されていてネットワーク用バッファに格納されているデータの送信ができない場合には、上記送信データを待避用メモリ30dに一時書き込んで蓄え、上記他方のネットワークへのデータ送信が可能になると、上記蓄えた送信データを上記待避用メモリ30dから読み出し、他方のネットワークの応答性に対応したデータ信号に変換した後、要求のあった多重ノードに返送するゲートウェイ機能を実現している。従って、ネットワーク10と20のバス間では、信号の伝送が可能になる。

第2図は、本発明の多重伝送方式に用いるデータフレームのフォーマット構成の一実施例を示す模式図である。このデータフレームFは、スター

トビット、IDデータ、データ、ACK信号領域を有するデータ構成になっている。

上記スタートビットは、フレームFの開始を示す特定のビットである。また、IDデータは、宛先を示すアドレス、目局を示すアドレス及びデータのデータ長を示す情報等から構成されている。ACK信号領域は、複数のビット領域からなり、各多重ノードに対し、その多重ノードのアドレスに対応したビット領域を割り当て、かつ上記割り当てられた各ビット領域の間に、各受信多重ノードが正常にフレームを受信したときに返送するACK信号を配置しており、送信多重ノードは上記返送されるACK信号によって正常受信の確認を行う。

次に、各ネットワーク間のデータ伝送におけるゲートウェイノードの受信処理動作について第3図のフローチャートに基づいて説明する。なお、この実施例では、多重ノード11から多重ノード21に所定のデータを伝送する場合について説明する。

CPU 30aは、ネットワーク10からデータ信号の受信があると、通信制御回路30bから上記データ信号を取り込む(ステップ101)。そして、受信したデータ信号がゲートウェイの対象信号であるかどうか、データ信号のIDデータ等に基づいて判断する(ステップ102)。

ここで、データ信号がゲートウェイの対象信号ではない場合には、その対象となる他の処理を行い、またデータ信号がゲートウェイの対象信号の場合には、受信側のネットワーク20に送信が可能かどうか判断する(ステップ103)。なお、上記判断は、ネットワーク20の使用状態を監視している通信制御回路30cからの上記使用状態の有無を示す所定信号に基づいて判断される。

ここで、ネットワーク20へのデータ送信が可能な場合には、上記データ信号を通信制御回路30cのネットワーク用送信バッファに書き込んで(ステップ104)、受信処理動作を終了する。また、ネットワーク20へのデータ送信が不可能な場合には、待避用メモリ30dに、ネットワーク20

へ送信すべきデータ信号を一時蓄えておくだけの記憶容量の余裕があるかどうか判断する(ステップ105)。

ここで、待避用メモリ30dに記憶容量の余裕がある場合には、待避用メモリ30dにデータ信号を書き込んで(ステップ106)、受信処理動作を終了する。また、待避用メモリ30dに送信データを書き込むだけの余裕がない場合には、ゲートウェイノードのゲートウェイ機能の実行が不可能である事を示すワーニング信号を送信側のネットワーク10に送信して報知し(ステップ107)、受信処理動作を終了する。

また、第4図は、CPU 30aが定期的に行うタイマ割り込みルーチンを示すフローチャートである。

まず、CPU 30aは、所定時間ごとにゲートウェイすべきデータ信号が待避用メモリ30d内に存在するかどうか判断する(ステップ201)。

ここで、待避用メモリ30d内にデータ信号が存在しない場合には、この割り込みルーチンを終

了し、また待避用メモリ30d内にデータ信号が存在する場合には、ネットワーク20の使用状態を判断してデータ送信が可能かどうか判断する(ステップ202)。

ここで、ネットワーク20が使用状態にあって、データ送信が不可能な場合には、割り込みルーチンを終了し、またネットワーク20が未使用状態にあって、データ送信が可能な場合には、待避用メモリ30dから該当する1フレーム分のデータ信号を読み出して、上記データ信号を通信制御回路30cのネットワーク用送信バッファに書き込み(ステップ203)、さらに待避用メモリ30dから読み出した分のデータ信号を削除して(ステップ204)、上記タイマ割り込みルーチンを終了する。

これにより、CPU 30aは、ネットワーク20が使用状態でデータ送信が不可能な場合には、送信するデータ信号を一時待避用メモリ30dに蓄えておき、データ送信が可能になると、上記蓄えたデータ信号をネットワーク用バッファに書き込

むことができ、これにより通信制御回路30cは、ネットワーク用バッファのデータ書き込みが終了すると、上記ネットワーク用バッファ内のIDデータや複数のデータ等のフレーム構成からなるデータ信号を、送信要求のあったネットワーク20の多重ノード11に送信することができる。また、データ信号を一時蓄えておく待避用メモリ30dの記憶容量がオーバーしている場合には、その旨をネットワーク10に知らせることができる。

従って、本実施例では、各多重ノードは、データ信号をゲートウェイノードに何度も送る手間が省け、また待避用メモリの記憶容量がオーバーしている場合には、その旨を送信側ネットワークに知らせることができ、ゲートウェイ機能に依存しない伝送制御方法へ移行するように促すこともでき、本発明を用いるシステム全体の安全性を確保することができる。

なお、本実施例では、待避用メモリは一のネットワークからのデータ信号を記憶する構成のものを示したが、本発明はこれのみに限らず、例えば

双方のネットワークからのデータ信号を記憶させるようにして、相互にデータ信号を送る手間を省いて、効率的にデータ伝送を行うことも可能である。

(発明の効果)

以上説明したように、本発明では、共通の信号伝送路を介して相互に接続された少なくとも2つの多重ノードと、当該各多重ノードが接続された少なくとも2つの系統の信号伝送路と、該信号伝送路にそれぞれ接続され前記各信号伝送路間での信号伝送を行う伝送制御手段とを備え、当該各多重ノードはいずれかの多重ノードの送信要求に応じて所定の送信データを送信する多重伝送方式において、前記伝送制御手段は一の系統の前記信号伝送路から送信された送信データを記憶する記憶手段を設け、他の系統の前記信号伝送路への前記送信データの送信が可能かどうか判断し、送信が不可能な際には前記記憶手段に当該送信データを記憶し、該記憶された送信データの送信が可能になると当該送信データを前記信号伝送路へ送信す

ると共に、前記記憶手段による送信データの記憶が可能かどうか判断し、記憶できない状態の際には前記一の系統の前記信号伝送路に当該状態を知らせるので、受信側ネットワークが使用中でデータ伝送が混み合っている場合には、送信対象となる送信データを一時ゲートウェイノードに蓄え、蓄えきれない状態が発生した場合には、送信側ネットワークにこの状態を知らせ、送信側のネットワークでのデータ伝送に支障をきたすことなく、効率的にデータ伝送を行うことができる。

4. 図面の簡単な説明

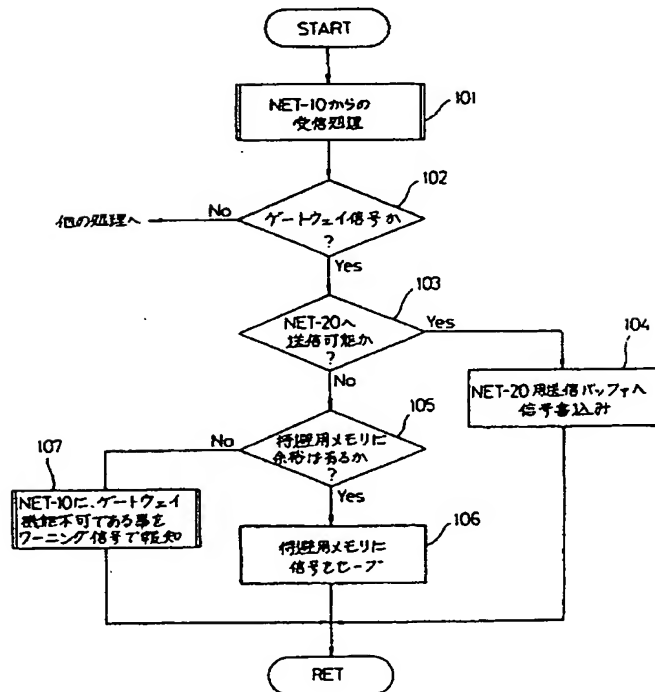
第1図は、本発明に係る多重伝送方式の構成を示す構成ブロック図、第2図は本発明の多重伝送方式に用いるデータフレームのフォーマット構成の一実施例を示す模式図、第3図は第1図に示した伝送制御部の受信処理動作を説明するためのフローチャート、第4図は同じくタイマ割り込みルーチンを示すフローチャートである。

10、20…ネットワーク、10a、20a…多重伝送路(データベース)、11~13、21~

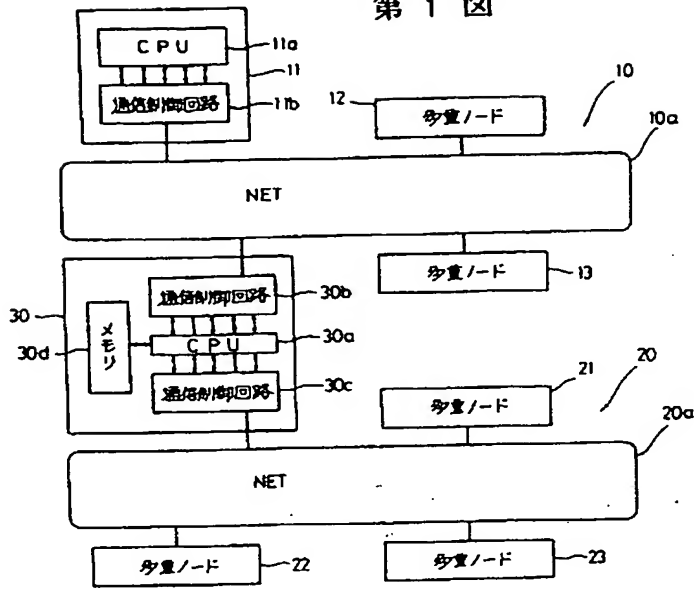
23…多重ノード、30…伝送制御部(ゲートウェイノード)、11a…CPU、30b、30c…通信制御回路、30d…待避用メモリ。

出願人 古河電気工業株式会社
代理人 弁理士 長門 侃二

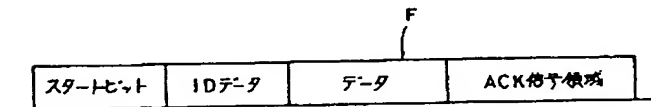
第3図



第 1 図



第 2 図



第 4 図

